

TSV — КЛЮЧЕВАЯ ТЕХНОЛОГИЯ ДЛЯ ПОСТРОЕНИЯ ТРЕХМЕРНЫХ ИНТЕГРАЛЬНЫХ СХЕМ

В.А. Беспалов, М.Ю. Фомичёв*, Н.А. Дюжев., М.А. Махиборода,
Е.Э. Гусев

НИУ МИЭТ

*E-mail: *fomichev@ckp-miet.ru*

Поступила 19.01.2022

Среди всех известных методов системной интеграции 3D-интеграция с созданием сквозных межсоединений в кремнии (TSV) является наиболее перспективной технологией, поскольку она позволяет создавать сборки самых малых размеров, при этом обеспечивая наиболее высокую плотность межсоединений и лучшую производительность. Изготовление TSV — это ключевая технология, служащая для обеспечения связи между разными слоями 3D — интегрированной системы. Обзор посвящен основным технологическим операциям изготовления TSV: плазмохимическое травление; формирование изоляционного, барьерного и зародышевого слоев; заполнение TSV металлом. Представлены требования к технологическим процессам, основные характеристики функциональных слоёв и возможные дефекты в структурах.

Ключевые слова: сквозные межсоединения в кремнии, микросборка, трехмерная интеграция.

DOI: 10.31145/2224-8412-2022-22-1-19-44

Введение

Схемы интеграции как по технологии создания трехмерных интегральных схем (3D-ИС), так и с использованием кремниевого интерпозера (2.5D-ИС) являются наиболее перспективными методами преодоления ограничений закона Мура благодаря таким преимуществам, как малое энергопотребление, компактность и большая функциональная плотность [1–4]. Для построения 2.5D и 3D — сборок необходимы такие техноло-

гии, как создание сквозных межсоединений (TSV), утонение, бондинг и другие процессы обработки пластин. Также в этот ряд входит технология временного бондинга, которая в настоящее время продолжает активно развиваться [5, 6]. При этом операцию создания TSV можно рассматривать как сердце технологии 3D-ИС.

Как известно, технологический процесс изготовления интегральных схем можно условно разбить на три основных этапа. Это начальные операции обработки полупроводниковых пластин (формирование транзисторной структуры, FEOL), средние (промежуточные) этапы обработки, такие как формирование TSV, утонение, временный бондинг (при изготовлении 2,5- и 3D ИС, MEOL) и завершающие операции обработки полупроводниковых пластин, включающие металлизацию (BEOL).

В зависимости от маршрута 3D/2.5D сборки можно выделить три схемы интеграции по технологии TSV. В случае, когда TSV формируют перед процессами КМОП, такой подход называется *via first*. В случае подхода *via middle* после формирования TSV — структур выполняются только процессы BEOL. Третья схема, в которой создание TSV происходит после завершения всех процессов КМОП, называется *via last*. Также к схеме *via last* можно отнести сценарий под названием *via after bonding*, когда TSV формируются на последнем этапе, после бондинга двух пластин или кристаллов друг с другом сторонами с полностью сформированной электроникой.

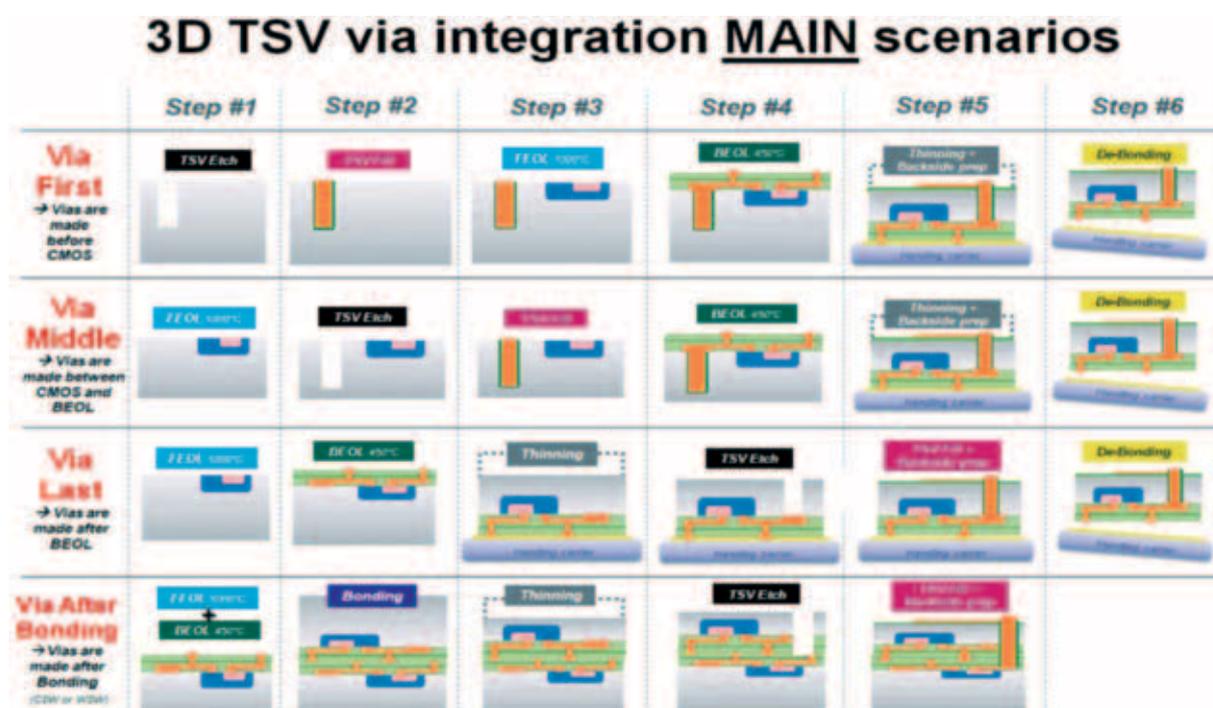


Рис. 1. Основные схемы 3D-интеграции по технологии TSV.

Выбор схемы интеграции зависит от применения конечного изготавливаемого устройства. В настоящее время технология TSV уже была разработана и адаптирована для множества применений, таких как МЭМС, мобильные телефоны, КМОП-датчики изображений, биомедицинские системы и устройства памяти. Соответственно, был проведен ряд исследований по изготовлению TSV. Однако в настоящее время технология TSV в 3D-ИС и некоторых наиболее продвинутых схемах сборки ещё не окончательно реализована из-за сохранения относительно высокой стоимости изготовления [7, 8]. В обзоре рассматриваются наиболее важные процессы изготовления TSV и связанные с ними возможные дефекты. К процессам изготовления TSV относится образование отверстий методом глубокого реактивно-ионного травления, нанесение диэлектрического, барьерного и зародышевого (затравочного) слоев, заполнение отверстий, химико-механическая полировка (ХМП) и отжиг меди. Подробные детали каждого процесса будут представлены далее.

Формирование TSV

Широко используемое в микроэлектронике глубокое плазмохимическое травление кремния, или процесс Bosch является наиболее предпочтительным для глубокого травления кремния, применяемого для изготовления TSV — структур. Процесс Bosch имеет высокую скорость травления в 5 — 10 мкм / мин, селективность по фоторезисту от 50 до 100 и до 200 по оксидной маске. Процесс состоит из следующих шагов: (1) травление кремния с использованием в качестве травителя SF_6 ; (2) создание пассивирующей пленки с помощью газа C_4F_8 для предотвращения бокового подтравки кремния во время следующего этапа; и (3) травление пассивации и слоя кремния в плазме SF_6 с использованием направленной ионной бомбардировки для обеспечения большой глубины. Затем пассивирующий слой удаляется плазмой O_2 и Ar . На рис. 2 показаны структуры TSV диаметром 10 мкм, полученные с помощью Bosch — процесса [9, 10]. Однако такой процесс неизбежно создает шероховатость боковых стенок, которая может стать причиной плохого выполнения последующих процессов их покрытия. Это может привести к утечкам тока и проблемам с надежностью. Уменьшение степени шероховатости боковых стенок при травлении TSV достигается путем подбора длительности процессов травления и пассивации во время операции глубокого травления кремния [11]. Зазубрины на боковых стенках отверстий влияют на качество их покрытия диэлектрическим, барьерным и затравочным слоем меди, увеличивают количество и размер пустот в TSV. Поэтому для проведения качественного процесса плазмохимического глубокого травления кремния важно обеспечить уменьшение шероховатости поверхностей так, чтобы ребристость боковых стенок была сведена к минимуму; это требование становится ещё более важным по мере уменьшения размеров TSV [12-15].

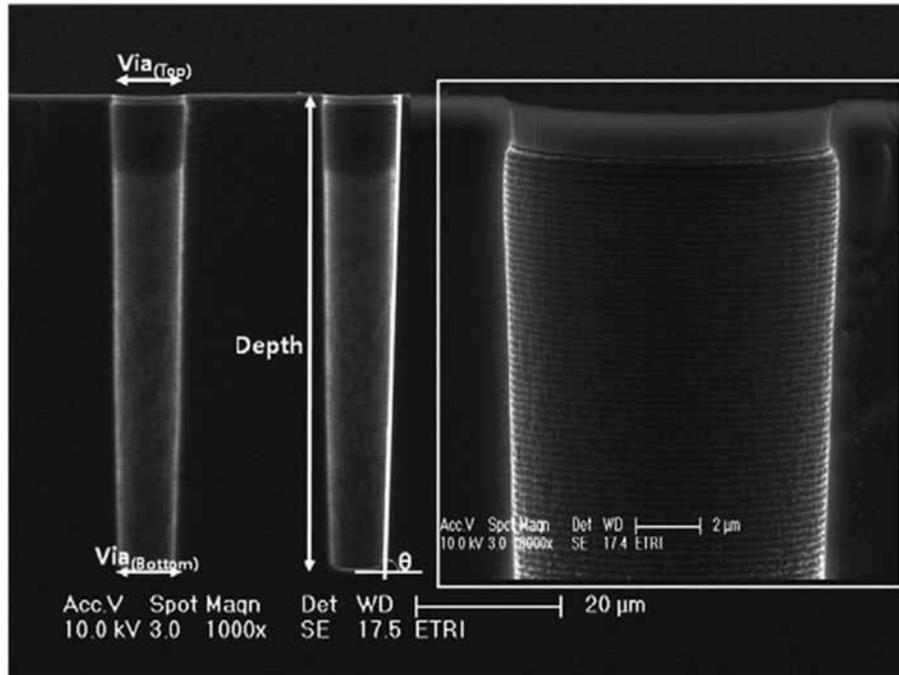


Рис. 2. Отверстия диаметром 10 мкм, полученные в результате травления кремния методом Bosch.

Изготавливаемые TSV — структуры могут иметь различные размеры, обусловленные как функциональным назначением конечного устройства, так и предъявляемыми к нему техническими требованиями, такими как мощность, температурный режим работы, массогабаритные показатели, плотность компоновки и прочими. На рис. 3 показана сравнительная подборка отверстий с различными параметрами глубины и ширины, справа указан список соответствующих литературных источников.

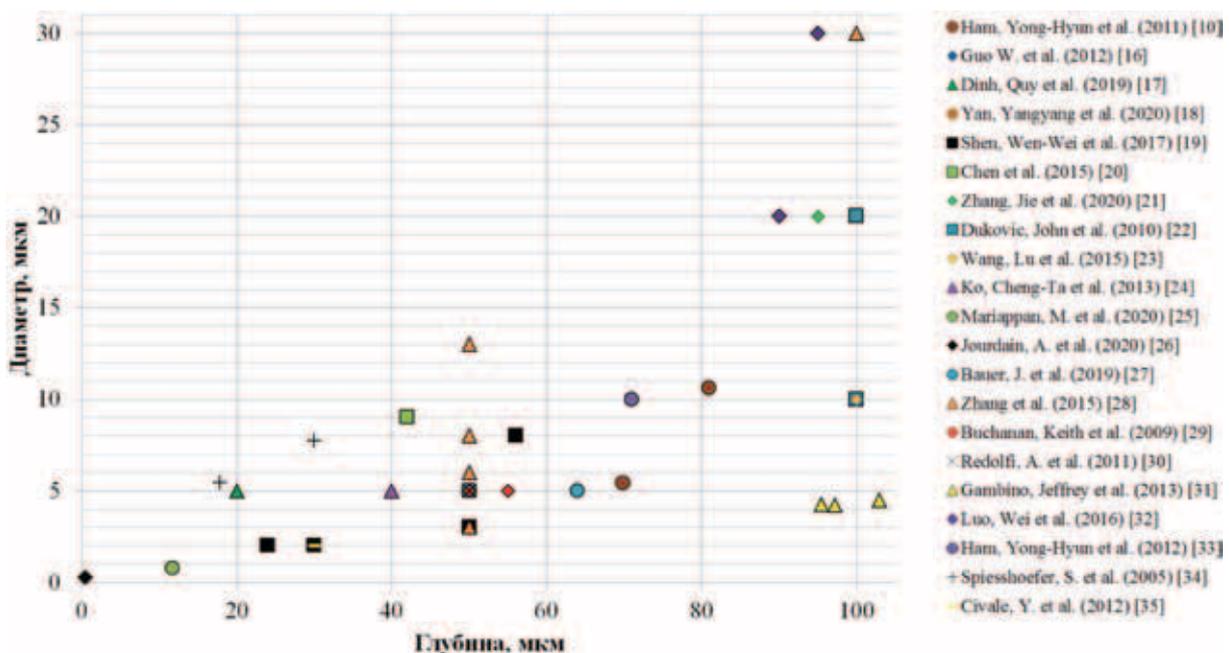


Рис. 3. Графическое сравнение размеров TSV из различных литературных источников.

Формирование диэлектрического слоя

Перед тем, как начинать заполнение TSV металлом необходимо создать диэлектрический слой для обеспечения достаточной электрической изоляции кремниевой пластины. К диэлектрическому слою предъявляются следующие технологические требования: хорошее качество покрытия и однородность, отсутствие токов утечки, низкие внутренние напряжения, высокое напряжение пробоя и различные ограничения максимальной температуры операции формирования диэлектрика для разных схем интеграции TSV [36]. В качестве диэлектрического слоя обычно используется SiO_2 или Si_3N_4 при химическом осаждении из паровой фазы с плазменным усилением (PECVD) или субатмосферном химическом осаждении из паровой фазы (SACVD) для TSV. Однако, когда диаметр TSV меньше 3 мкм, диэлектрический слой целесообразно наносить методом атомно-слоевого осаждения (ALD). ALD имеет ряд преимуществ, таких как более низкая температура процесса, лучшая равномерность покрытия по сравнению с другими существующими процессами, хорошая масштабируемость, сокращение времени операции ХМП благодаря образованию более тонкого диэлектрического слоя, и при этом отсутствие требований к подготовке поверхности перед осаждением диэлектрика. На рис. 4 [37] показано конформное покрытие диэлектрическим оксидным слоем TSV-отверстия с размерами 3×50 мкм методом ALD; толщина оксидного слоя на боковой стенке и дне составляет приблизительно 95 нм. Поскольку соотношение сторон или Aspect Ratio (AR) равно 17, можно утверждать, что на данном рисунке продемонстрирован отличный результат осаждения диэлектрического слоя для миниатюрных применений TSV.

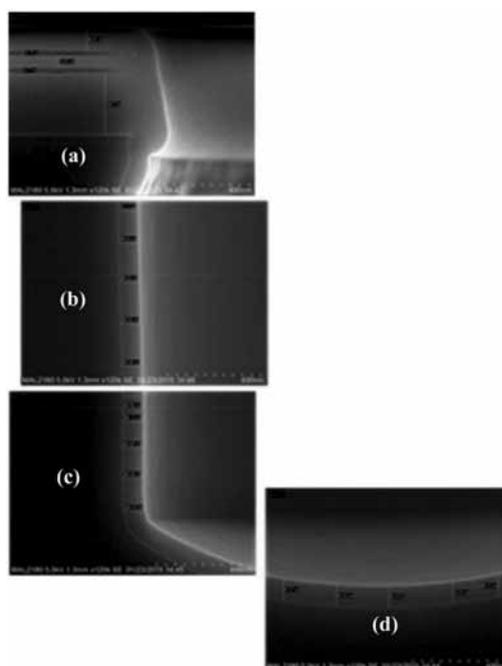


Рис. 4. РЭМ — изображения поперечного сечения TSV с размерами 3×50 мкм после осаждения диэлектрического оксидного слоя методом ALD. a-d: пленка толщиной 91-95 нм внутри TSV [37].

В результате, критериями оценки качества ближайшего к Si диэлектрического слоя являются конформность, однородность, отсутствие токов утечки, воспроизводимость процесса при низкой температуре осаждения [38-40].

Формирование барьерного и зародышевого слоев

Следующим процессом является осаждение барьерного слоя для предотвращения диффузии атомов Cu из заполненных медью TSV во время отжига, для которого требуется температура 400 °С. Кроме того, барьерный слой действует как адгезив между слоем диэлектрика и слоем меди. Распространенными барьерными материалами являются Ti, Ta, TiN и TaN. В качестве методов их нанесения применяется вакуумное напыление (PVD), химическое газофазное осаждение (CVD) или атомное слоевое осаждение (ALD) в зависимости от размеров изготавливаемых TSV. Металлические барьерные слои, такие как Ta и Ti, осаждаются методом PVD. Преимущество этого подхода в низкой температуре процесса, однако, при высоких соотношениях сторон TSV (>10:1) можно получить плохое покрытие [41]. Таким образом, приходится осаждать более толстый металлический барьерный слой для решения проблемы плохого покрытия, что увеличивает стоимость производства. Барьерные слои из TiN или TaN могут быть нанесены методом CVD, который имеет преимущество в хорошей однородности, но требует применения высокой температуры.

В следующем процессе затравка из меди осаждается в TSV обычно с помощью метода PVD. В исследовании, проведенном ИМЕС [35], при использовании ALD TiN в качестве барьера была достигнута однородность металлизации TSV размерами 2×30 мкм приблизительно в 80% (соотношение сторон = 15). Затем было проведено осаждение непрерывного и высококонформного щелочного затравочного слоя на боковые стенки и дно TSV (рис. 5).

На следующем шаге в результате было произведено заполнение TSV медью без пустот по всей пластине. В этом маршруте щелочное нанесение зародышевого слоя меди может быть успешно заменено её осаждением методом PVD, выполняемым перед шагом гальванического заполнения TSV снизу вверх.

Ключевыми целями, которых, как правило, стремятся достичь при применении технологии TSV, являются уменьшение температурных параметров технологических процессов и снижение стоимости производства.

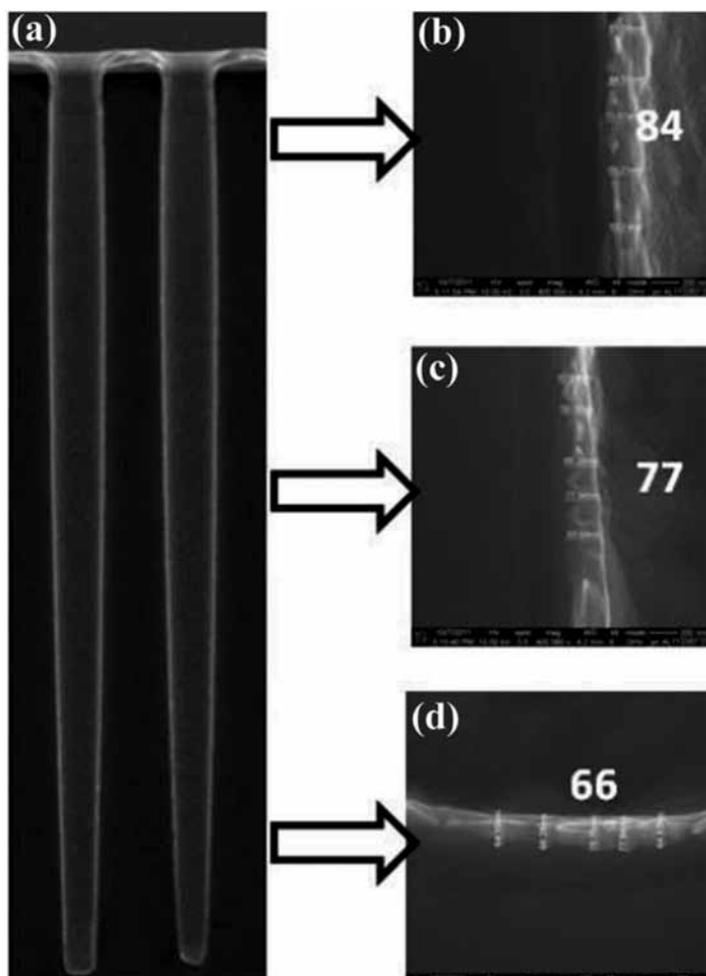


Рис. 5. Изображения поперечного сечения TSV с размерами 2 x 30 мкм, полученные на РЭМ, сделанные после щелочного осаждения меди и перед электрохимическим осаждением (ЭХО или ECD): a — общий вид, b — верх, c — середина, и d — нижняя часть TSV. [35].

При формировании TSV, выполняемом после операций BEOL, требуется особая забота об ограничениях максимальных температур, применяемых в соответствующих процессах. Поэтому в данном случае для изготовления TSV с высокими аспектными соотношениями можно выполнять «полностью жидкостный» набор процессов низкотемпературного электрохимического осаждения как барьерного, так и медного зародышевого слоя. Гальваническое осаждение Co-W-B и Cu в качестве барьерного/зародышевого слоев достигается путем использования наночастиц Au или наночастиц Pd в качестве катализатора [42-44]. На рис. 6 показано изображение одного TSV после адсорбции наночастиц Pd при комнатной температуре в течение 3 ч. Наночастицы Pd равномерно осаждаются по всему TSV с размерами 2×24 мкм, и при этом не наблюдается их скопления. Результаты процесса ЭХО Cu/Co-W-B, проведенного на следующем шаге, показаны на рис. 7. Такой результат был получен благодаря применению наночастиц Pd в качестве катализатора по всему TSV.

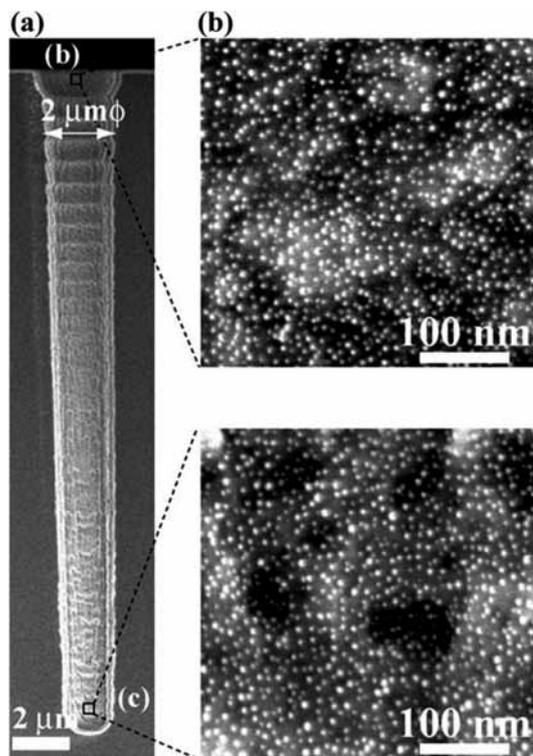


Рис. 6. РЭМ-изображения поперечного сечения TSV (2×24 мкм) после адсорбции наночастиц Pd на его стенках: а — общий вид, б — верх и с — низ TSV [43].

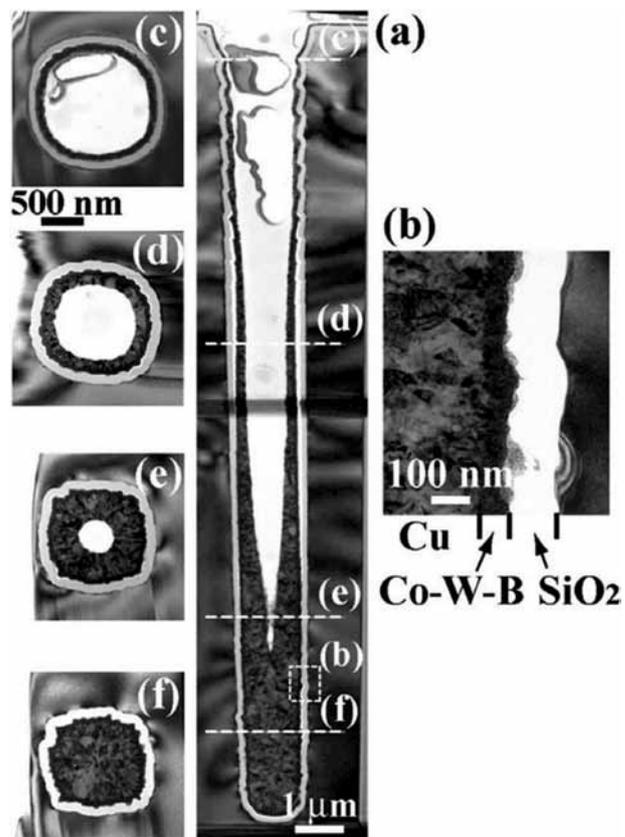


Рис. 7. РЭМ-изображения электрохимически осажденного слоя Cu / Co-W-B: а — общий вид, б — изображение вертикального сечения боковой стенки, и с-f: изображения горизонтальных сечений на различной глубине [43].

Даже не смотря на наличие зазубрин на стенках TSV, удалось успешно сформировать на них непрерывную и однородную пленку Co-W-B толщиной 60 нм при 60 °С. Затем при 70 °С гальваническая медь осаждается прямо на слой Co-W-B. Диффузия ингибиторов в нижней части TSV ниже, чем в верхней; следовательно, затравочный слой меди, образующийся при электролитическом осаждении, толще в нижней части TSV, чем в верхней. Не смотря то, что полностью жидкостные процессы нанесения барьерного и затравочного слоев обеспечивают применение низких температур обработки, необходимы дополнительные эксперименты, чтобы доказать их надежность.

Таким образом, критериями оценки качества барьерного и зародышевого слоев являются конформность, однородность, а также воспроизводимость процесса при низкой температуре осаждения [29, 45- 47].

Заполнение TSV

Существует три метода заполнения TSV: конформное покрытие [48, 49], размещение бампов с заполнением снизу вверх [50, 51], и суперконформное покрытие [52-56]. Этот набор методов нанесения покрытия основан на существовании множества различных конкретных применений 3D-интеграции. Как правило, структуры TSV имеют форму цилиндра с глубиной от 10 до 200 мкм. Глубина TSV определяется требуемой толщиной чипа или пластины в сборке, а аспектное отношение определяется в процессах изготовления диэлектрического / барьерного / зародышевого / заполняющего слоев. Хотя существует множество различных геометрий TSV для применения в 2,5D и 3D интеграции, их можно свести к трем общим типам, указанным в Таблице 1 [57].

Таблица 1. Основные типы TSV [57]

Применение	Заполнение	Глубина	Диаметр	Аспектное соотношение
Фотоматрицы	Конформное	50 — 100	30 — 50	1 — 3
Интерпозеры	Полное	50 — 150	20 — 30	4 — 8
Устройства	Полное	20 — 60	2 — 10	5 — 15

Конформное заполнение

Конформное покрытие медью проводится аналогично нанесению рисунка меди для слоев металлизации (RDL) или разводки на уровне пластины (WLCSP) с применением резистивных масок; такое нанесение меди частично подходит для TSV с низким аспектным соотношением. Если взять в качестве примера фотоматрицу, основные технологические процессы этапа изготовления TSV можно увидеть на рис. 8; к ним относится глубокое реактивно-ионное травление кремния для достижения контакта с металлическим слоем КМОП, формирование оксида для изоляции, осаждение барьерного и затравочного слоев методом PVD, и, наконец, нанесение конформного медного покрытия для металлизации [58].

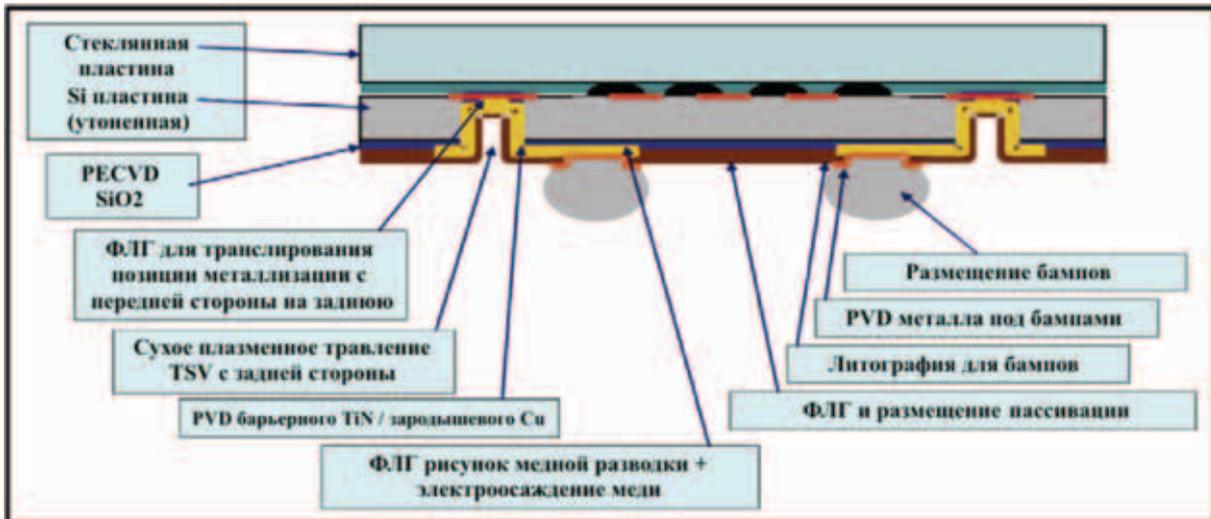


Рис. 8. Поперечное сечение фотоматрицы с TSV [58].

Медь толщиной от 5 до 10 мкм выращивается в структуре резистивной маски, образуя топологию TSV и схемы разводки на поверхности кремния, как показано на рис. 9 [48].

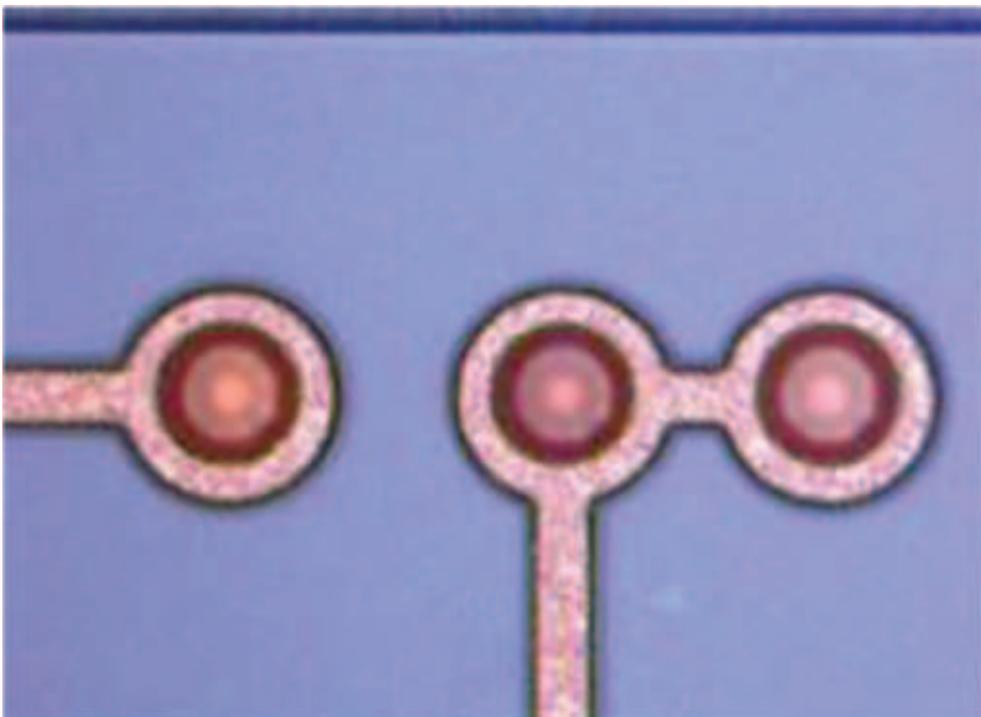


Рис. 9. Оптическое изображение TSV после ECD Cu и травления зародышевого слоя [48].

На рис. 10 показаны изображения поперечных сечений отверстий с различными соотношениями сторон (AR от 1 до 5) после выполнения этапов формирования конформного медного покрытия. Однако, их применение ограничено AR, равным 3, из-за появляющегося прерывавания затравочного слоя Cu [49].

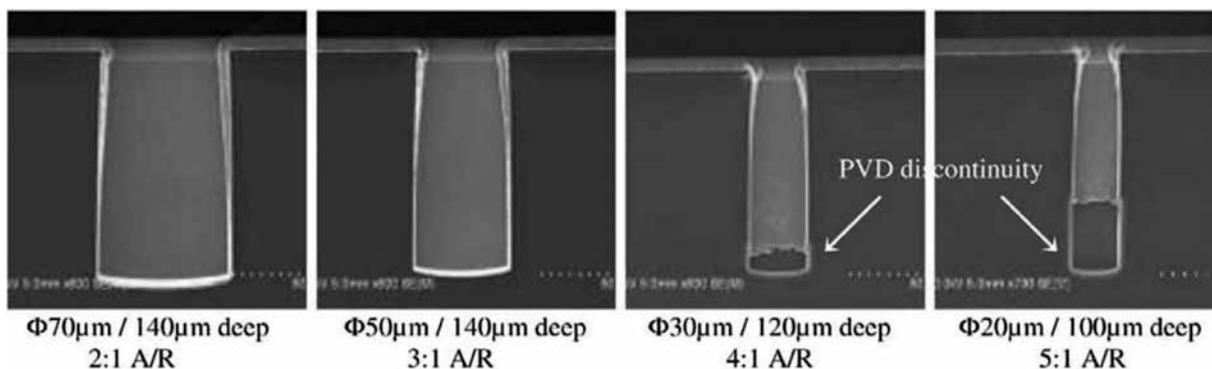


Рис. 10. Поперечные сечения TSV с различными соотношениями сторон после нанесения барьера/затравки и конформного покрытия Cu [49].

Герметизация бампами и заполнение TSV снизу вверх

Одним из преимуществ подхода заполнения TSV «снизу вверх» является возможность избегать образования пустот или швов [59, 60]. Кроме того, такое заполнение подходит для применения в схеме «via last». Обычно для выполнения такого процесса заполнения TSV с затравочным слоем меди требуется технология временного бондинга. Операция удаления пластины-носителя или прикрепленного металла может привести к дополнительным затратам и проблемам с надежностью; поэтому был предложен новый подход, заключающийся в предварительном размещении бампов перед металлизацией Cu TSV, основанной на процессе заполнения «снизу вверх», как показано на рис. 11 [51].

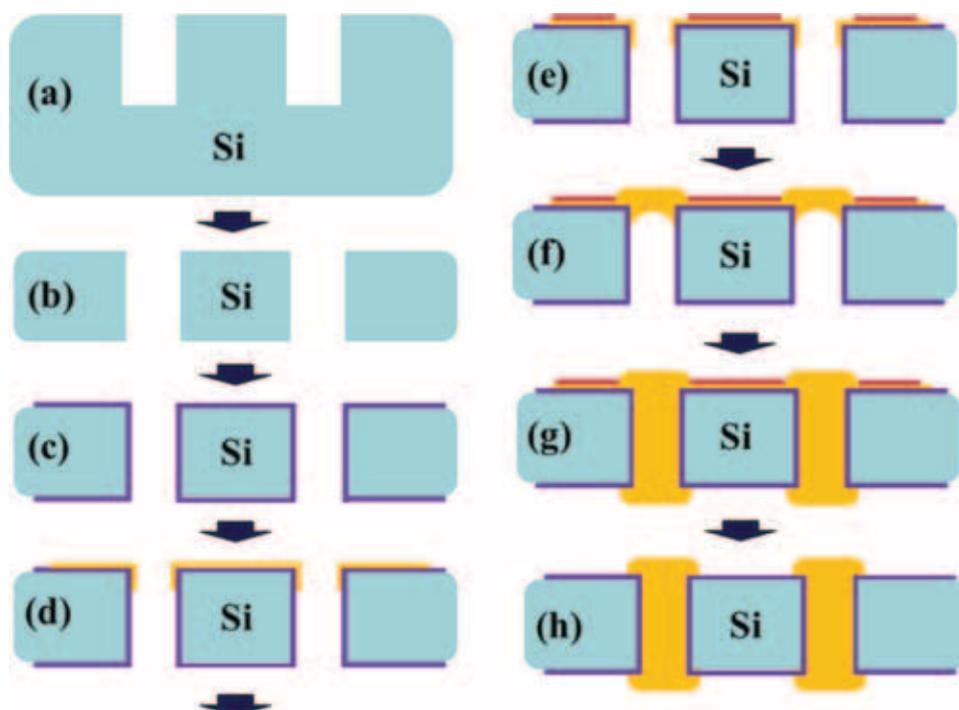


Рис. 11. Технологический процесс заполнения отверстий медью снизу вверх с формированием бампов: а — травление TSV, b — утонение, с — формирование оксидной изоляции, d — осаждение затравочного слоя, e — формирование фоторезистивной маски, f — закупоривание отверстий бампами, g — заполнение TSV металлом, начиная с бампов, h — удаление фоторезиста.

Контроль на оптическом микроскопе, РЭМ, а также рентгеновский анализ гарантируют отсутствие дефектов после нанесения покрытия снизу вверх с помощью предложенного подхода (рис. 12). При таком варианте изготовления TSV структур с бампами заполнение отверстий металлом осуществляется всего за один этап, что упрощает производственный процесс и позволяет применять его для трехмерной интеграции по схеме *via last*.

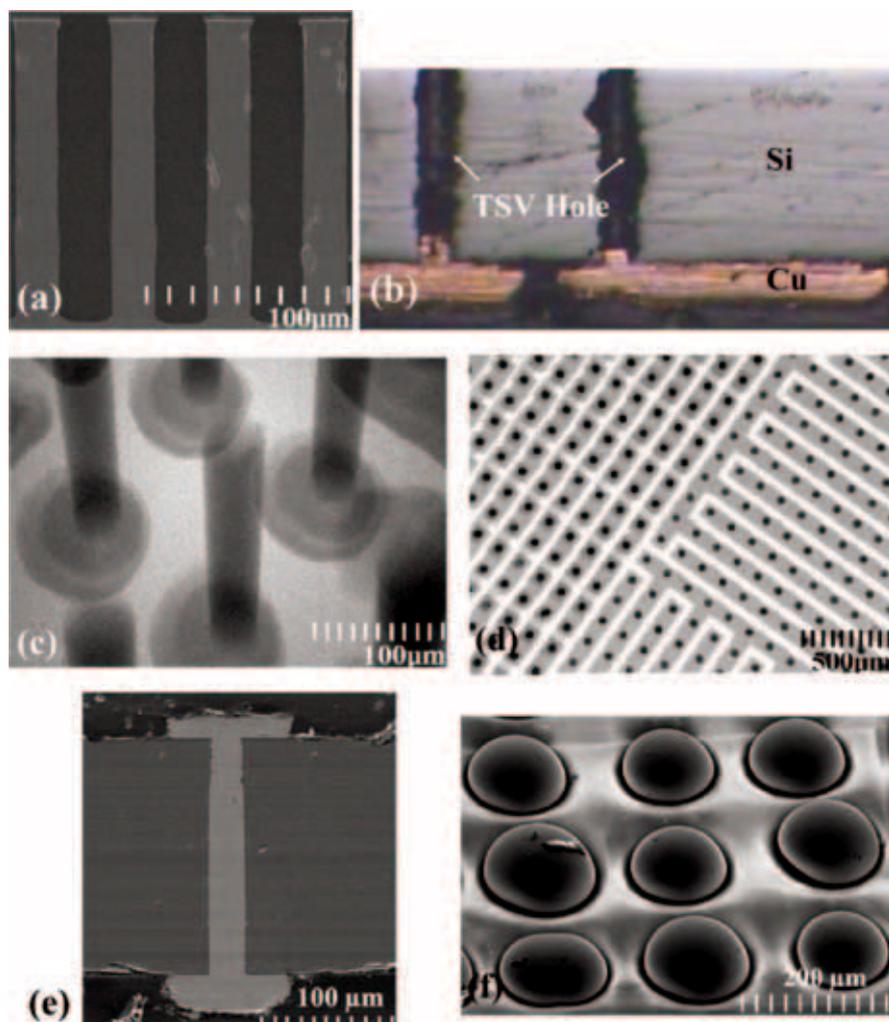


Рис. 12. а: Профиль сухого травления TSV глубиной 25 мкм. б: Герметизация TSV бампами перед заполнением. с: Рентгенологический контроль TSV, заполненных без пустот. d: Черные точки — Cu в TSV; белая область — SiO₂; область серого цвета — металлические линии. е: Поперечное сечение TSV с медными выступами с обеих сторон. f: Готовые TSV — структуры с медными бампами [51].

Супер-конформное заполнение

Супер-конформное заполнение медью адаптировано для широкого круга применений, от некоторых технологий, близких к процессу damascene, до изготовления интерпозеров и целых устройств. Основным требованием к такому заполнению является отсутствие швов или пустот внутри TSV, обнаруживаемое с помощью рентгеновского анализа, который проводят после того, как медь с поверхности и барьерный слой будут удалены методом

ХМП. На рис. 13 показан механизм заполнения TSV, включающий характеристики рецепта и свойства органических добавок [61]. При выполнении стандартного гальванического осаждения постоянным током часто наблюдается проблема, изображенная на рис. 13а. Поэтому подбор параметров рецепта нанесения покрытия является важным фактором для обеспечения качественного заполнения TSV.



Рис. 13. Принцип суперконформного покрытия TSV медью:
 а — Не оптимизированное покрытие постоянным током. б — Аддитивный подход.
 с — Форма волны импульсного реверсивного тока [61].

В химической ванне для заполнения TSV обычно используются три добавки, включающие подавитель (suppressor), ускоритель (accelerator) и выравниватель (leveler) [62-66]. Медленно диффундирующий и быстро адсорбирующийся подавитель, такой как полиэтиленгликоль (ПЭГ), адсорбируется преимущественно на плоской поверхности. Быстро распространяющийся ускоритель, такой как бис-(3-сульфопропил)-дисульфид (SPS), проникает в отверстия и увеличивает скорость осаждения. Медленно диффундирующий выравниватель, такой как Janus Green B (JGB), может деактивировать ускоритель и распределяться у краев. Результаты осаждения с использованием различных добавок показаны на рис. 13b. Для предотвращения преждевременного закрытия отверстий TSV при заполнении медью применяется импульсный реверсивный ток. Рецепт такого нанесения включает четыре параметра: время обратного импульса (tR), время паузы ($toff$), время прямого импульса (tF), и соответствующие плотности тока (jF , jR), как показано на рис. 13c [67, 68]. Кроме того, была предложена трехступенчатая форма волны тока для сокращения времени заполнения и уменьшения количества дефектов в заполненном TSV [69]. Прогрессия процесса заполнения медью изображена на рис. 14, где показаны массивы TSV размером 8×56 мкм после 5, 10, 15 и 20 минут заполнения Cu в полиэфирной супрессорной системе $CuSO_4 + H_2SO_4 + Cl^-$. Безпустотное заполнение наблюдается через 20 минут [70]. Однако заполнение TSV с высоким аспектным отношением занимает довольно много времени из-за применения импульсного обратного тока, который оставляет ионы меди на боковых стенках отверстий. Таким образом, необходимо сокращать время заполнения TSV для трехмерной интеграции. Существует четыре

разновидности подходов оптимизации и повышения эффективности заполнения, которые включают оптимизацию положения анода, заполнение TSV в несколько этапов, изменение концентрации добавок и оптимизацию плотности тока осаждения [71]. В конце используется ХМП для удаления внешнего слоя меди, а также барьерного слоя с поверхности пластины. Как правило, эта технология требует выполнения двух шагов. На первом шаге происходит удаление толстого слоя Cu с углублениями или выступами после заполнения TSV, и оно останавливается на барьерном слое. На втором шаге удаляют барьерный слой, останавливаясь на слое диэлектрика. Для обеспечения хорошей изоляции, минимизации рельефа и избегания возможных дефектов используются различные суспензии, обладающие селективностью [72].

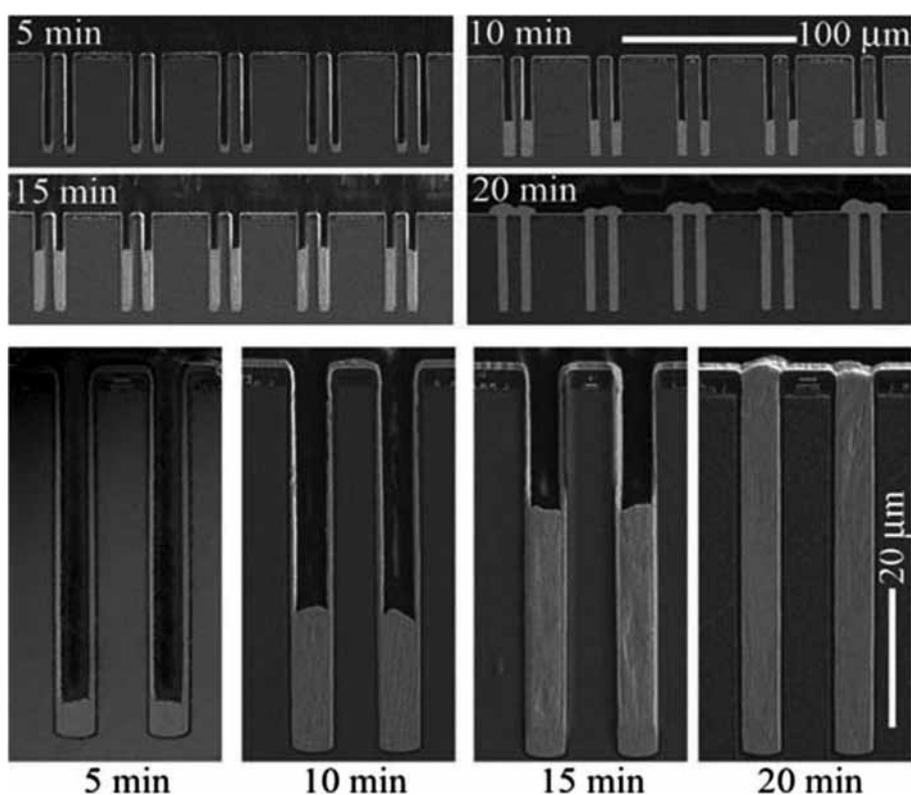


Рис. 14. Изображения поперечных сечений TSV, показывающие прогрессию заполнения медью круглых отверстий снизу вверх в то время, когда на соседствующих свободных поверхностях осаждение практически незначительно. Четыре верхних изображения демонстрируют равномерность заполнения внутри массивов отверстий [70].

Таким образом, для формирования металлизации TSV крайне важно обеспечить заполнение отверстий без пустот и прерываний [73-75].

Отжиг меди в TSV

Проблемы термомеханической надежности являются очень важными, поскольку во время проведения последующих процессов формирования RDL, размещения бампов и многослойной сборки пластины подвержены повторя-

ющимся термическим нагрузкам, которые могут стать причиной накопления термомеханических напряжений. Они в свою очередь могут стать результатом появления таких критических проблем, как расслоение и образование пустот, если напряжения не будут в достаточной степени уменьшены путем выполнения процесса отжига после заполнения TSV медью. Ещё одной проблемой является расширение металла в TSV из-за различий коэффициентов теплового расширения (КТР) кремниевой пластины и материала заполнения TSV, что может вызвать растрескивание диэлектрического слоя [76-79].

Таким образом, чтобы уменьшить количество внутренних напряжений в кремнии, после выполнения процесса гальванического осаждения необходимо проводить предварительный отжиг TSV. Коэффициент теплового расширения меди равен $17,6 \times 10^{-6} / ^\circ\text{C}$, что выше, чем у кремния, КТР которого равен $2,6 \times 10^{-6} / ^\circ\text{C}$. Вследствие этого во время отжига может наблюдаться экструзия или выпячивание металла из TSV [80, 81].

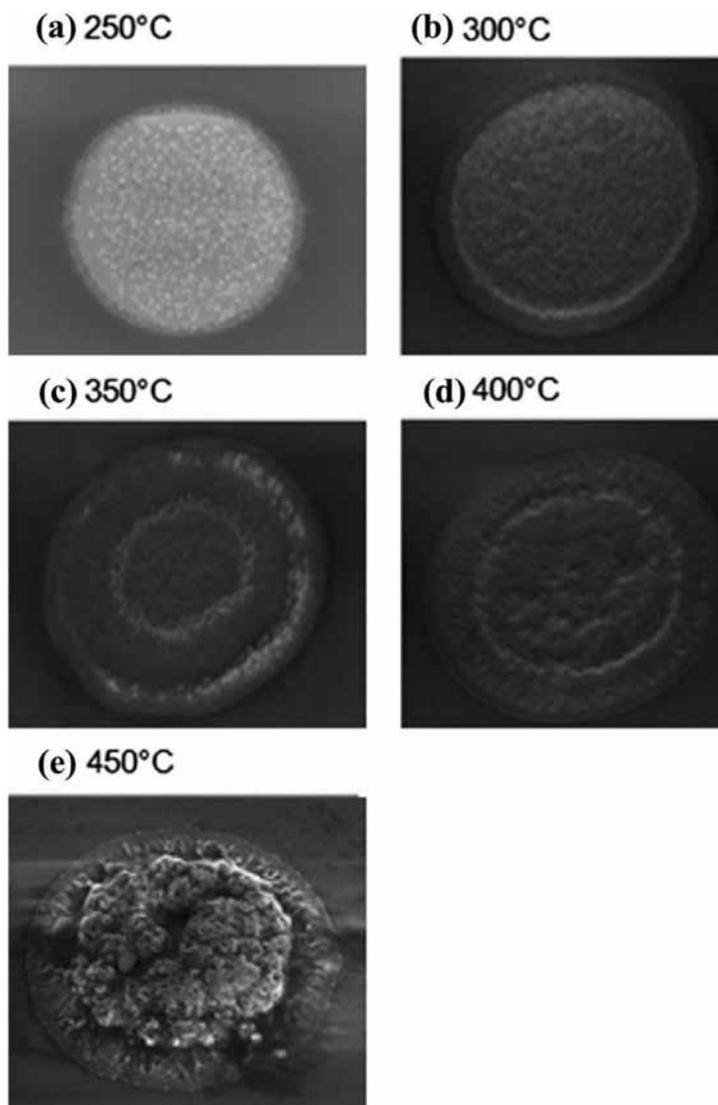


Рис. 15. РЭМ-микрофотографии TSV, показывающие степень выпячивания меди вследствие отжига при различных температурах от 250 до 450 °C (вид сверху) [82].

На ряде образцов, подвергнутых процессам отжига при разных условиях, было исследовано влияние температуры отжига на конечный результат. На рис. 15 представлены РЭМ-микрофотографии различных форм выступов из TSV размерами 5×50 мкм, обусловленных отжигом в течение 30 минут при разных температурах в диапазоне от 250 до 450 °С. Медь начинает выступать, начиная с температуры отжига в 350 °С, и вздувается при 450 °С, как показано на рис. 15е. Этот процесс имеет два возможных механизма. Первый механизм — это пластическая деформация материала Си, который во время отжига расширяется в вертикальном направлении. Вторым механизмом связан с диффузионной ползучестью, когда распределение напряжений в TSV не является равномерным [82]. На степень выступления металла из TSV кроме температуры отжига также влияет выбор материалов и толщина слоев барьера и изоляции.

Температура отжига должна быть достаточной для устранения внутренних напряжений в TSV — структурах; в то же время подбор условий отжига ограничивается максимальными температурами, не влияющими губительно на сформированную электронику. В маршруте изготовления TSV, разработанном в IMEC, для отжига применяется температура в 420 °С в течение 20 минут [83].

На следующем шаге после проведения процесса отжига применяется ХМП для удаления медных выступов и для открытия TSV с обратной стороны.

Возможные виды дефектов

Можно выделить три разновидности дефектов, появляющихся при изготовлении TSV: дефекты, связанные с травлением Si, дефекты, связанные с формированием затравочного слоя Си, и, наконец, дефекты, связанные с гальваническим покрытием Си [84].

Как уже упоминалось ранее, поскольку TSV травятся сухим способом с использованием процесса Bosch, существует несколько возможных дефектов, связанных с травлением Si; они могут приводить к таким видам недостатков затравочного слоя Си, как локальное отсутствие покрытия, шероховатость поверхности или образование губчатых структур, как показано на рис. 16. Когда есть какие-либо проблемы при проведении операций изготовления TSV, обычно можно наблюдать дефекты, проявляющиеся в виде пустот после гальванического покрытия меди.

Нарушения заполнения отверстий медью, вызванные губкообразными дефектами, также могут привести к отсутствию электрического контакта (рис. 17). Также ещё одной причиной возникновения дефектов может быть окисление или плохое нанесение затравочного слоя Си.

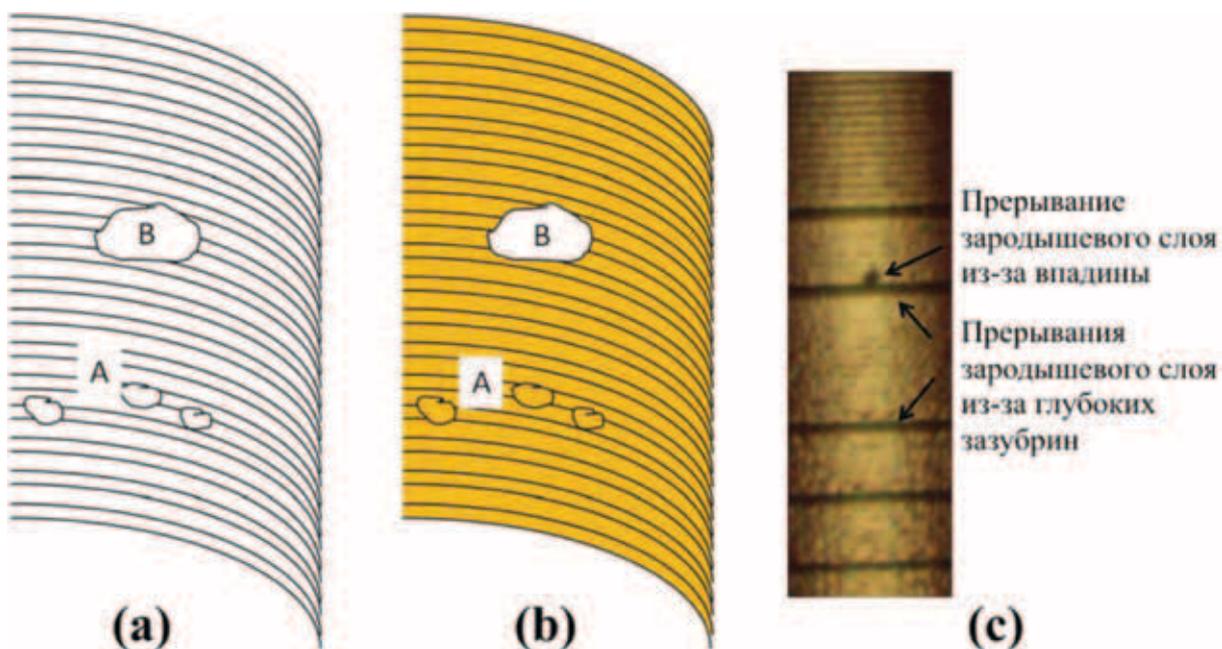


Рис. 16. Механизм, вызывающий потерю затравочного слоя Cu из-за губчатых структур и глубоких шероховатостей:
 а — после травления Si. б — после осаждения затравочного слоя Cu.
 с — микроскопическое изображение затравочного слоя Cu, осажденного на TSV размерами 60 мкм × 250 мкм [45].

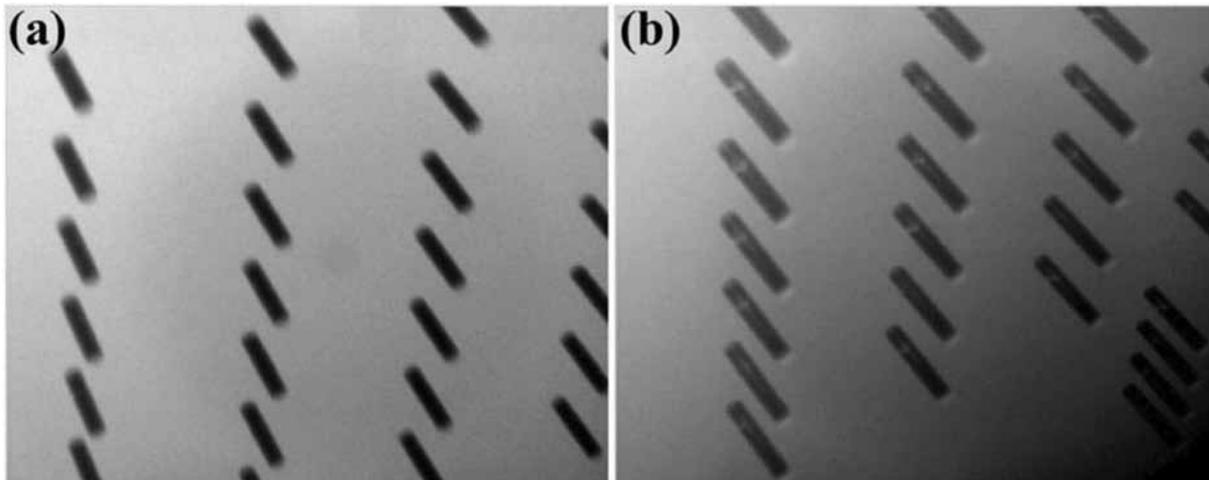


Рис. 17. Рентгеновские изображения TSV после гальванического покрытия Cu:
 а — TSV без дефектов заполнения Cu.
 б — TSV с дефектами заполнения Cu, вызванными прерываниями затравочного слоя Cu из-за губкообразных дефектов в TSV размерами 30 мкм × 150 мкм [45].

Из-за окисления затравочного слоя меди через 10 дней после осаждения PVD-Cu может начаться образование пустот в верхней области TSV [45]. Этот эффект демонстрирует, что оксид меди уменьшает реальную площадь покрытия отверстий затравочным слоем Cu, что влияет на конечный результат, как показано на рис. 18.

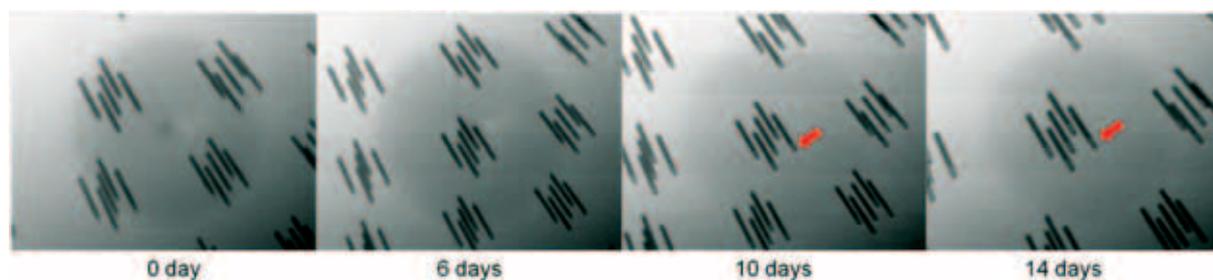


Рис. 18. Рентгеновские изображения, показывающие состояние затравочного слоя меди в TSV размерами 10×100 мкм после прохождения разных периодов времени от его осаждения [45].

Наконец, чтобы предотвратить дефекты гальванического заполнения Cu, важно оптимизировать как химическую концентрацию трех добавок, так и плотность тока в процессе ЭХО. Таким образом, формирование TSV без пустот может быть достигнуто путем предотвращения образования известных видов дефектов на соответствующих этапах изготовления.

Выводы

В этом обзоре были рассмотрены различные технологии, применяющиеся с целью изготовления TSV для задач трехмерной интеграции. Описаны параметры основных процессов, особенности заполнения отверстий медью для различных применений и виды дефектов, которые могут при этом возникать. Разработаны методы формирования диэлектрического, барьерного и затравочного слоев для преодоления негативного влияния шероховатости боковых стенок отверстий и решения проблемы неравномерного нанесения затравочного слоя меди с целью обеспечения дальнейшего качественного электрохимического осаждения меди в TSV.

Сформированы требования к ключевым технологическим операциям. Показана важность формирования отверстий с малой величиной шероховатости поверхности в процессе плазмохимического травления кремния. Критериями оценки качества диэлектрического слоя, ближайшего к Si, является конформность, однородность, а также воспроизводимость процесса при низкой температуре осаждения. К барьерному и зародышевому слоям предъявляются аналогичные требования.

В статье описаны три разновидности процессов заполнения TSV медью: конформное нанесение, герметизация бампами для упрощения процесса металлизации и проведения беспустотного заполнения снизу вверх, и создание суперконформного покрытия, которое используется для изготовления интерпазеров и устройств. Указаны возможные причины возникновения пустот, которые могут привести к отсутствию электрических контактов и проблемам с надежностью. Приводятся технологические решения проблемы термического напряжения, вызванного разницей коэффициентов теплового линейного расширения материала металла и близлежащих слоёв.

Поддержка. Работа выполнена с использованием оборудования ЦКП «Микросистемная техника и электронная компонентная база» (МИЭТ) при финансовой поддержке Минобрнауки России (№ 075-03-2020-216, 0719-2020-0017, мнемокод FSMR-2020-0017).

Литература

- [1] Koester SJ, Young AM, Yu RR, Purushothaman S, Chen KN, La Tulipe DC, Rana N, Shi L, Wordeman MR, Sprogis EJ (2008) Wafer-level 3D integration technology. *IBM J Res Dev* 52: 583–597.
- [2] Chen KN, Tan CS (2011) Integration schemes and enabling technologies for three-dimensional integrated circuits. *Very Large Scale Integr (VLSI) Syst* 5: 160–168.
- [3] Lau JH (2012) Recent advances and new trends in nanotechnology and 3D integration for semiconductor industry. *3D Systems Integration Conference*: 1-23.
- [4] Liu D, Park S (2014) Three-dimensional and 2.5 dimensional interconnection technology: state of the art. *J Electron Packag* 136:014001-1–014001-7.
- [5] Fomichev M.Y., Makhiboroda M.A., Djuzhev N.A., Dedkova A.A., Gusev E.E., Development of adhesive wafer bonding technology // *IEEE Conference of Russian young researchers in electrical and electronic engineering, ELCONRUS 2021*; pp 2558-2562, DOI: 10.1109/ElConRus51938.2021.9396080.
- [6] Djuzhev N. A., Makhiboroda M. A., Gusev E. E., Fomichev M. U., Dedkova A. A., Ivanin P. S., Investigation of the influence of the parameters of the temporary bonding and thinning operations on the bending of silicon wafers // *International Conference on Micro- and Nano-Electronics 2021*; 1215712 (2022), DOI: 10.1117/12.2623584.
- [7] Ranade AP, Havens R, Srihari K (2014) The application of through silicon vias (or TSVs) for high power and temperature devices. *ITHERM Conference*: 1270-1278.
- [8] Stiebing M, Vogel D, W.Steller, Wolf MJ, Wunderle B (2015) Challenges in the reliability of 3D integration using TSVs. *International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems*: 1-8.
- [9] Ayón AA, Braff R, Lin CC, Sawin HH, Schmidt MA (1999) Characterization of a time multiplexed inductively coupled plasma etcher. *J Electrochem Soc* 146:339–349.
- [10] Ham YH, Kim DP, Park KS, Jeong YS, Yun HJ, Baek KH, Kwon KH, Lee K, Do LM (2011) Dual etch processes of via and metal paste filling for through silicon via process. *Thin Solid Films* 519:6727–6731.
- [11] Blauw MA, Craciun G, Sloof WG, French PJ, van der Drift E (2002) Advanced time-multiplexed plasma etching of high aspect ratio silicon structures. *J Vac Sci Technol B* 20:3106–3110.

- [12] Voss, L. & Shao, Qinghui & Conway, Adam & Reinhardt, Cathy & Graff, Robert & Nikolic, Rebecca. (2013). Smooth Bosch Etch for Improved Si Diodes. *Electron Device Letters, IEEE*. 34. 1226-1228. 10.1109/LED.2013.2278374.
- [13] Craigie, C. & Sheehan, T & Johnson, V. & Burkett, Susan & Moll, Amy & Knowlton, Bill. (2002). Polymer thickness effects on Bosch etch profiles. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*. 20. 10.1116/1.1515910.
- [14] Kenoyer, L. & Oxford, R. & Moll, Amy. (2003). Optimization of Bosch etch process for through wafer interconnects. 338 — 339. 10.1109/UGIM.2003.1225759.
- [15] Rudy, A. & Morozov, O. & Kurbatov, S. (2021). A Modernized Bosch Etching Process for the Formation of Tapered Structures on a Silicon Surface. *Journal of Surface Investigation: X-ray, Synchrotron and Neutron Techniques*. 15. 461-466. 10.1134/S1027451021030162.
- [16] W. Guo, G. Van der Plas, A. Ivankovic, V. Cherman, G. Eneman, B. De Wachter, M. Togo, A. Redolfi, S.Kubicek, Y.Civale, T.Chiarella, B.Vandeveldel, K.Croes, I.DeWolf, I.Deusschere, A. Mercha, A. Thean, G. Beyer, B. Swinnen, E. Beyne. Impact of through silicon via induced mechanical stress on fully depleted bulk finFET technology, *IEDM (2012)*, pp. 18.4.1–18.4.4. DOI: 10.1109/IEDM.2012.6479066.
- [17] Dinh, Quy & Kondo, Kazuo & Hirato, Tetsuji. (2019). Reduction of TSV Pumping. 1-4. DOI: 10.1109/3DIC48104.2019.9058846.
- [18] Yan, Yangyang & Wang, Guojun & Su, Hanqiang & Dai, Fengwei & Sun, Peng & Cao, Liqiang. (2020). Multi-chip Stacking with Fine Pitch μ bumps and TSVs for Heterogeneous Integration. 1-4. DOI: 10.1109/ICEPT50128.2020.9202456.
- [19] Shen, Wen-Wei & Chen, Kuan-Neng. (2017). Three-Dimensional Integrated Circuit (3D IC) Key Technology: Through-Silicon Via (TSV). *Nanoscale Research Letters*. 12. DOI: 10.1186/s11671-017-1831-4.
- [20] Chen, Cool X.M. & Loh, Woon & Chui, K. & Mao, Ying & Wickramanayana, Sunil. (2015). CMP process optimization on temporary-bonded wafer for via-last through-silicon-via from backside. 1-4. DOI: 10.1109/EPTC.2015.7412401.
- [21] Zhang, Jie & Ding, Ye & Wei, Wei & Li, Hangxu & Li, Zhenjie & Ji, Xiaolu & Jing, Xiaoping & He, Cong & Cao, LiQiang & Jiang, Xiaoshan & Zhu, Kejun & Liu, Peng & Chen, Yuanbo. (2020). The TSV process in the hybrid pixel detector for the High Energy Photon Source. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*. 980. 164425. DOI: 10.1016/j.nima.2020.164425.
- [22] Dukovic, John & Ramaswami, S. & Pamarthy, S. & Yalamanchili, R. & Rajagopalan, N. & Sapre, K. & Cao, Z. & Ritzdorf, Tom & Wang, Y. & Eaton, Brad & Ding, R. & Hernandez, M. & Naik, Mehul & Mao, D. & Tseng, J. & Cui, D. & Mori, Glen & Fulmer, P. & Sirajuddin, K. & Luo, L. (2010). Through-silicon-

- via technology for 3D integration. 1 — 2. DOI: 10.1109/IMW.2010.5488399.
- [23] Wang, Lu & Cai, Jian & Wang, Qian & Hu, Yang & Zhang, Wenqi. (2015). Electroplating Cu on ALD TiN for high aspect ratio TSV. 676-680. DOI: 10.1109/ICEPT.2015.7236676.
- [24] Ko, Cheng-Ta & Chen, Kuan-Neng. (2013). Reliability of key technologies in 3D integration. *Microelectronics Reliability*. 53. 7–16. DOI: 10.1016/j.microrel.2012.08.011.
- [25] Mariappan, Murugesan & Mori, K. & Kojima, T. & Hashimoto, H. & Bea, J.C. & Fukushima, Tak & Koyanagi, M. (2020). Nano Ni/Cu-TSVs with an Improved Reliability for 3D-IC Integration Application. 1-5. DOI: 10.1109/ASMC49169.2020.9185397.
- [26] Jourdain, A. & Schleicher, Filip & De Vos, Joeri & Stucchi, Michele & Chery, Emmanuel & Miller, Andy & Beyer, Gerald & Plas, Geert & Walsby, Edward & Roberts, Kerry & Ashraf, Huma & Thomas, Dave & Beyne, Eric. (2020). Extreme Wafer Thinning and nano-TSV processing for 3D Heterogeneous Integration. 42-48. DOI: 10.1109/ECTC32862.2020.00020.
- [27] Bauer, J. & Fursenko, Oksana & Marschmeyer, S. & Heinrich, Friedhelm & Villasmunta, Francesco & Villringer, Claus & Zesch, Christoph & Schrader, Sigurd. (2019). Spectroscopic reflectometry for characterization of Through Silicon Via profile of Bosch etching process. *Journal of Vacuum Science & Technology B*. 37. 062205. DOI: 10.1116/1.5120617.
- [28] Zhang, Junhong & Luo, Wei & Li, Yi & Gao, Liming & Li, Ming. (2015). Wetting process of copper filling in through silicon vias. *Applied Surface Science*. 359. DOI: 10.1016/j.apsusc.2015.10.214.
- [29] Buchanan, Keith & Burgess, Stephen & Giles, Kathrine & Muggeridge, Matthew & Zhao, Hao. (2009). Etch, dielectrics and metal barrier-seed for low temperature through-silicon via processing. 1-4. DOI: 10.1109/3DIC.2009.5306552.
- [30] Redolfi, A. & Velenis, Dimitrios & Thangaraju, Savithry & Nolmans, P. & Jaenen, P. & Kostermans, M. & Baier, U. & Van Besien, Els & Dekkers, Hendrik & Witters, T. & Jourdan, Nicolas & Ammel, A. & Vandersmissen, Kevin & Rodet, S. & Philipsen, Harold & Radisic, A. & Heylen, Nancy & Travaly, Y. & Swinnen, Bart & Beyne, Eric. (2011). Implementation of an Industry Compliant, $5 \times 50 \mu\text{m}$, Via-Middle TSV Technology on 300 mm Wafers. *Proceedings — Electronic Components and Technology Conference*. DOI: 10.1109/ECTC.2011.5898692.
- [31] Gambino, Jeffrey & Doan, T. & Trapasso, J. & Musante, Charles & Dang, D. & Vanslette, D. & Grant, D. & Marx, D. & Dudley, R. (2013). Through-silicon-via process control in manufacturing for SiGe power amplifiers. *Proceedings — Electronic Components and Technology Conference*. 221-226. DOI: 10.1109/ECTC.2013.6575575.
- [32] Luo, Wei & Zhang, Junhong & Li, Yi & Gao, Liming & Li, Ming. (2016). Pretreatment to assure the copper filling in through-silicon vias. *Journal of Materials*

Science: Materials in Electronics. 27. DOI: 10.1007/s10854-016-4723-y.

[33] Ham, Yong-Hyun & Kim, Dongpyo & Baek, Kyu-Ha & Park, Kunsik & Kim, Moonkeun & Kwon, Kwang-Ho & Lee, Kijun & Do, Lee-Mi. (2012). Metal/Dielectric Liner Formation by a Simple Solution Process for through Silicon via Interconnection. *Electrochemical and Solid-State Letters*. 15. H145. DOI: 10.1149/2.esl113678.

[34] Spiesshoefer, S. & Rahman, Ziaur & Vangara, G. & Polamreddy, S. & Burkett, Susan & Schaper, L. (2005). Process integration for through-silicon vias. *Journal of Vacuum Science & Technology A — J VAC SCI TECHNOL A*. 23. 824-829. DOI: 10.1116/1.1864012.

[35] Civale, Y. & Armini, Silvia & Philipsen, Harold & Redolfi, Augusto & Velenis, Dimitrios & Croes, Kristof & Heylen, Nancy & El-Mekki, Zaid & Vandersmissen, Kevin & Beyer, Gerald. (2012). Enhanced Barrier Seed Metallization for Integration of High-Density High Aspect-Ratio Copper-Filled 3D Through-Silicon Via Interconnects. *Proceedings — Electronic Components and Technology Conference*. DOI: 10.1109/ECTC.2012.6248928.

[36] Garrou P, Bower C, Ramm P (2011) *Handbook of 3D integration: volume 1—technology and applications of 3D integrated circuits*, John Wiley & Sons.

[37] Zhang D, Smith D, Kumarapuram G, Giridharan R, Kakita S, Rabie MA, Feng P, Edmundson H, England L (2015) Process development and optimization for 3 μm high aspect ratio via-middle through-silicon vias at wafer level. *IEEE Trans Semicond Manuf* 28:454–460.

[38] Ranganathan, Nagarajan & Lee, Da & Youhe, Liu & Lo, Guo-Qiang & Prasad, Krishnamachar & Pey, Kin. (2011). Influence of Bosch Etch Process on Electrical Isolation of TSV Structures. *Components, Packaging and Manufacturing Technology*, *IEEE Transactions on*. 1. 10.1109/TCPMT.2011.2160395.

[39] Okoro, C., & Obeng, Y. S. (2012). Effect of thermal cycling on the signal integrity and morphology of TSV isolation liner- SiO₂. 2012 IEEE International Interconnect Technology Conference. DOI: 10.1109/iitc.2012.6251582.

[40] Civale, Y., Majeed, B., Tezcan, D. S., Soussan, P., & Beyne, E. (2010). Spin-on dielectric liner TSV for 3D wafer level packaging applications. 2010 IEEE International Interconnect Technology Conference. DOI: 10.1109/iitc.2010.5510314.

[41] Civale Y, Redolfi A, Velenis D, Heylen N, Beynet J, Jung I, Woo JJ, Swinnen B, Beyer G, Beyne E (2012) Highly-conformal plasma-enhanced atomiclayerdeposition silicon dioxide liner for high aspect-ratio through-silicon via 3D interconnections. *Electronic System-Integration Technology Conference*: 1–4.

[42] Inoue F, Shimizu T, Yokoyama T, Miyake H, Kondo K, Saito T, Hayashi T, Tanaka C, Terui T, Shingubara S (2011) Formation of electroless barrier and seed layers in a high aspect ratio through-Si vias using Au nanoparticle catalyst for all-

wet Cu filling technology. *Electrochimica Acta* 56:6245–6250.

[43] Inoue F, Shimizu T, Miyake H, Arima R, Ito T, Seki H, Shinozaki Y, Yamamoto T, Shingubara S (2013) Highly adhesive electroless barrier/Cu-seed formation for high aspect ratio through-Si vias. *Microelectron Eng* 106:164–167.

[44] Chen J, Fujita K, Goodman D, Chiu J, Papapanayiotou D (2015) Physicochemical effects of seed structure and composition on optimized TSV fill performance. *Electronic Compon Technol Conf*: 566-572.

[45] Hara, Yukihiro & Webb, Eric & Sukamto, John & Mariappan, Murugesan & Fukushima, Tak & Kodera, Masako. (2019). Impact of Seed Layers on TSV Filling by Electrochemical Deposition. 10.7567/SSDM.2019.J-2-02.

[46] Civale, Y. & Armini, Silvia & Philipsen, Harold & Redolfi, Augusto & Velenis, Dimitrios & Croes, Kristof & Heylen, Nancy & El-Mekki, Zaid & Vandersmissen, Kevin & Beyer, Gerald. (2012). Enhanced Barrier Seed Metallization for Integration of High-Density High Aspect-Ratio Copper-Filled 3D Through-Silicon Via Interconnects. *Proceedings — Electronic Components and Technology Conference*. 10.1109/ECTC.2012.6248928.

[47] Wong, S. & Ryu, Changsup & Lee, Haebum & Loke, Alvin & Kwon, Kee-Won & Bhattacharya, Som & Eaton, Rory & Faust, Rick & Mikkola, Bob & Mucha, Jay & Orm, John. (1999). Barrier/Seed Layer Requirements for Copper Interconnects. *Proceedings of the IEEE 1998 International Interconnect Technology Conference*. 10.1109/IITC.1998.704764.

[48] Henry D, Jacquet F, Neyret M, Baillin X, Enot T, Lapras V, Brunet-Manquat C, Charbonnier J, Aventurier B, Sillon N (2008) Through silicon vias technology for CMOS image sensors packaging. *Electronic Components and Technology Conference (ECTC)*: 556-562.

[49] Gagnard X, Mourier T (2010) Through silicon via: from the CMOS imager sensor wafer level package to the 3D integration. *Microelectron Eng* 87:470–476.

[50] Saadaoui M, Wien W, Zeijl HV, Schellevis H, Laros M and Sarro PM (2007) Local sealing of high aspect ratio vias for single step bottom-up copper electroplating of through wafer interconnects. *IEEE Sensors conference*: 974 — 977.

[51] Chiang CH, Kuo LM, Hu YC, Huang WC, Ko CT, Chen KN (2013) Sealing bump with bottom-up Cu TSV plating fabrication in 3-D integration scheme. *IEEE Electron Device Lett* 34:671–673.

[52] Kobayashi K, Sano A, Akahoshi H, Itabashi T, Haba T, Fukada S, Miyazaki H (2000) Trench and via filling profile simulations for copper electroplating process. *IEEE International Interconnect Technology Conference*: 34-36.

[53] Chiu YD, Dow WP, Huang SM, Yau SL, Lee YL (2011) Sensitivity enhancement for quantitative electrochemical determination of a trace amount of accelerator in copper plating solutions. *J Electrochem Soc* 158:D290–D297.

[54] Huynh TMT, Hai NTM, Broekmann P (2013) Quasireversible interaction

of MPS and chloride on Cu(1 0 0) studied by in situ STM. *J Electrochem Soc* 160:D3063–D3069.

[55] Zheng Z, Stephens RM, Braatz RD, Alkire RC, Petzold LR (2008) A hybrid multiscale kinetic Monte Carlo method for simulation of copper electrodeposition. *J Comput Phys* 227:5184–5199.

[56] Dow WP, Liu CW (2006) Evaluating the filling performance of a copper plating formula using a simple galvanostat method. *J Electrochem Soc* 153:C190–C194.

[57] Tan CS, Chen KN, Koester SJ (2012) 3D intergration for VLSI systems. 92.

[58] Tan CS, Chen KN, Koester SJ (2012) 3D intergration for VLSI systems. 241.

[59] Chang HH, Shih YC, Hsu CK, Hsiao ZC, Chiang CW, Chen YH, Chiang KN (2008) TSV process using bottom-up Cu electroplating and its reliability test. *Electron Systeminteg Technol Conf*:645–650.

[60] Aibin Y, Lau JH, Soon WH, Kumar A, Hnin WY, Lee WS, Jong MC, Sekhar VN, Kripesh V, Pinjala D, Chen S, Chan CF, Chao CC, Chiu CH, Hunag CM, Chen C (2011) Fabrication of high aspect ratio TSV and assembly with fine-pitch low-cost solder microbump for Si interposer technology with high-density interconnects. *IEEE Trans Compon Packag Manuf Technol* 1:1336–1344.

[61] Hofmann L, Ecke R, Schulz SE, Gessner T (2011) Investigations regarding through silicon via filling for 3D integration by periodic pulse reverse plating with and without additives. *Microelectron Eng* 88:705–708.

[62] Dow WP, Huang HS, Yen MY, Huang HC (2005) Influence of convection dependent adsorption of additives on microvia filling by copper electroplating. *J Electrochem Soc* 152:C425–C434.

[63] Moffat TP, Ou Yang LY (2010) Accelerator surface phase associated with superconformal Cu electrodeposition. *J Electrochem Soc* 157:D228–D241.

[64] Matsuoka T, Otsubo K, Onishi Y, Amaya K, Hayase M (2012) Inverse analysis of accelerator distribution in copper through silicon via filling. *Electrochim Acta* 82:356–362.

[65] Kim MJ, Kim HC, Choe S, Cho JY, Lee D, Jung I, Cho WS, Kim JJ (2013) Cu bottomup filling for through silicon vias with growing surface established by the modulation of leveler and suppressor. *J Electrochem Soc* 160:D3221–D3227.

[66] Chiu YD, Dow WP (2013) Accelerator screening by cyclic voltammetry for microvia filling by copper electroplating. *J Electrochem Soc* 160:D3021–D3027.

[67] Kondo K, Yonezawa T, Mikami D, Okubo T, Taguchi Y, Takahashi K, Barkey DP (2005) High-aspect-ratio copper-via-filling for three-dimensional chip stacking. *J Electrochem Soc* 152:H173–H177.

[68] Hayashi T, Kondo K, Saito T, Okamoto N, Yokoi M, Takeuchi M, Bunya M, Marunaka M, Tsuchiya T (2013) Correlation between filled via and produced cuprous ion concentration by reverse current waveform. *J Electrochem Soc*

160:D256–D259.

- [69] Hong SC, Lee WG, Kim WJ, Kim JH, Jung JP (2011) Reduction of defects in TSV filled with Cu by high-speed 3-step PPR for 3D Si chip stacking. *Microelectron Reliab* 51:2228–2235.
- [70] Moffat TP, Josell D (2012) Extreme bottom-up superfilling of through-silicon vias by damascene processing: suppressor disruption, positive feedback and turing patterns. *J Electrochem Soc* 159:D208–D216.
- [71] Zhang Y, Ding G, Wang H, Cheng P, Liu R (2015) Optimization of innovative approaches to the shortening of filling times in 3D integrated through silicon vias (TSVs). *J Micromech Microeng* 25:1–11.
- [72] Chen JC, Lau JH, Tzeng PJ, Chen SC, Wu CY, Chen CC, Hsin YC, Hsu YF, Shen SH, Liao SC, Ho CH, Lin CH, Ku TK, Kao MJ (2012) Effects of slurry in Cu chemical mechanical polishing (CMP) of TSVs for 3-D IC integration. *IEEE Trans Compon Packag Manuf Technol* 2:956–963.
- [73] Yuwen, Hui-Hui & Zhang, Xin-Ping. (2016). Numerical simulation of the TSV-Cu filling by electroplating process with the accelerator and suppressor. 721-726. 10.1109/ICEPT.2016.7583233.
- [74] Choi, Jae Woong & Guan, Ong & Yingjun, Mao & Jieli, Xie & Lan, Chow & Kim, Soon-Wook & Murthy, Ramana & Kiat, Eugene & Wickramanayaka, Sunil. (2013). Effect of Cu seed layer aging on Cu filling failure in through Si vias (TSVs). 420-423. 10.1109/EPTC.2013.6745755.
- [75] Choi, Eun-Hey & Lee, Youn Seoung & Rha, Sa-Kyun. (2012). Effects of Current Density and Organic Additives on via Copper Electroplating for 3D Packaging. *Korean Journal of Materials Research*. 22. 10.3740/MRSK.2012.22.7.374.
- [76] Gusev, E.E., Tovarnov, D.A., Dedkova, A.A., Onufrienko, A.P., Djuzhev, N.A., Experimental Study Mechanical Stresses and Strength in Multilayer PECVD SiO₂ // *Proceedings of the 2021 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering, ElConRus 2021*, 2021, стр. 2437–2441, 9396248, DOI: 10.1109/ElConRus51938.2021.9396248.
- [77] Novak, A.V., Novak, V.R., Dedkova, A.A., Gusev, E.E., Dependence of Mechanical Stresses in Silicon Nitride Films on the Mode of Plasma-Enhanced Chemical Vapor Deposition // *Semiconductors*, Том 52, Выпуск 15, Стр. 1953 — 1957, 2018, DOI: 10.1134/S1063782618150095.
- [78] Dyuzhev, N.A., Gusev, E.E. et. al., Fabrication and Study of Parameters and Properties of Nanostructured Membranes for MEMS Devices, *Nanotechnologies in Russia*, 2017, 12(7-8), pp. 426–437, DOI: 10.1134/S1995078017040073.
- [79] Djuzhev, N.A., Gusev, E.E., Dedkova, A.A., Makhboroda, M.A., Non-destructive method of surface mapping to improve accuracy of mechanical stresses measurements // *IOP Conference Series: Materials Science and Engineering*, том 289, B. 1, 2018, DOI: 10.1088/1757-899X/289/1/012007.

- [80] Ji L, Jing X, Xue K, Xu C, He H, Zhang W (2014) Effect of annealing after copper plating on the pumping behavior of through silicon vias. In International Conference on Electronic Packaging Technology:101-104.
- [81] Malta D, Gregory C, Lueck M, Temple D, Krause M, Altmann F, Petzold M, Weatherspoon M, Miller J (2011) Characterization of thermo-mechanical stress and reliability issues for Cu-filled TSVs. Electronic Components and Technology Conference:1815-1821.
- [82] Heryanto A, Putra WN, Trigg A, Gao S, Kwon WS, Che FX, Ang XF, Wei J, Made R, Gan CL, Pey KL (2012) Effect of copper TSV annealing on via protrusion for TSV wafer fabrication. J Electron Mater 41:2533–2542.
- [83] Xiangmeng Jing, Hongwen He, Liang Ji, «Effect of Thermal Annealing on TSV Cu Protrusion and Local Stress», Electronic Components and Technology Conf, May2013, pp. 461-466.
- [84] Choi JW, Guan OL, Yingjun M, Mohamad Yusoff HB, Jieli X, Lan CC, Loh WL, Lau BL, Hwee Hong LL, Kian LG, Murthy R, SweeKiat ET (2014) TSV Cu filling failure modes and mechanisms causing the failures. IEEE Trans Compon Packag Manuf Technol 4:581–587

TSV — THE KEY TECHNOLOGY FOR CREATING THREE-DIMENSIONAL INTEGRATED CIRCUITS (3D ICS)

V.A. Bespalov, M.Y. Fomichev*, N.A. Djuzhev, M.A. Makhaboroda,
E.E. Gusev

*National Research University of Electronic Technology (MIET),
Moscow, Zelenograd, 124498, Russian Federation
E-mail: *fomichev@ckp-miet.ru*

Received 19.01.2022

3D integration with through-silicon via (TSV) is the most promising technology among all known system-level integration methods because it allows to create assemblies with the smallest dimensions, while providing the highest density of interconnects and the best performance. TSV fabrication is the key technology to permit communications between various strata of the 3D integration system. The review focuses on the main technological operations of TSV manufacturing: deep reactive-ion etching; formation of dielectric, barrier and seed layers; TSV filling. The requirements to the process parameters, the main characteristics of the functional layers and possible defects in the structures are presented.

Keywords: TSV, microassembly, 3D integration.